

SPIS TREŚCI

1. Podstawy matematyczne

strona 1

- 1.1. Rachunek zdań /1
- 1.2. Rachunek zbiorów /4
- 1.3. Kwantyfikatory /9
- 1.4. Relacje i funkcje /11
- 1.5. Algebra Boole'a /16
- Literatura /19

2. Cyfrowy zapis informacji

strona 20

- 2.1. Określenia podstawowe /20
- 2.2. Kody liczbowe /24
 - 2.2.1. Kody naturalne /24
 - 2.2.2. Konwersja liczb przedstawionych w kodach naturalnych o różnych podstawach /30
 - 2.2.3. Uzupełnienia liczb /36
 - 2.2.4. Zapis liczb dwójkowych ze znakiem /37
 - 2.2.5. Kody dwójkowo-dziesiętne (BCD) /40
 - 2.2.6. Kody refleksyjne /42
 - 2.2.7. Zmiennoprzecinkowy zapis liczb /44
- 2.3. Kody alfanumeryczne /48
- 2.4. Kody zabezpieczające przed błędami /50
- Literatura /57
- Zadania /57

3. Arytmetyka dwójkowa

strona 59

- 3.1. Działania arytmetyczne na liczbach dwójkowych bez znaku /59
- 3.2. Działania arytmetyczne na liczbach dwójkowych ze znakiem /68
- 3.3. Działania arytmetyczne na liczbach dziesiętnych kodowanych dwójkowo (BCD) /73

- 3.4. Działania arytmetyczne na liczbach zmiennoprzecinkowych /75
 Literatura /76
 Zadania /76

4. Podstawy teorii układów cyfrowych

strona 78

- 4.1. Układy kombinacyjne /79
 4.1.1. Funkcje logiczne i formy boolowskie /79
 4.1.2. Rodzaje form boolowskich /84
 4.1.3. Minimalizacja form boolowskich /93
 4.1.4. Podstawowe układy kombinacyjne: bramki. Symbole graficzne /102
 4.1.5. Złożone układy kombinacyjne /106
 4.1.6. Zjawisko hazardu /112
 4.2. Układy sekwencyjne /116
 4.2.1. Rodzaje i sposoby opisu układów sekwencyjnych /116
 4.2.2. Elementy pamięciowe: zatrzaski i przerzutniki /121
 4.2.2.1. Zatrzaski /123
 4.2.2.2. Przerzutniki /129
 4.2.3. Projektowanie układów sekwencyjnych /138
 4.2.3.1. Tworzenie grafu i tablicy przejść /141
 4.2.3.2. Redukcja liczby stanów wewnętrznych /145
 4.2.3.3. Kodowanie stanów i synteza układu /150
 4.2.3.4. Projektowanie układu sekwencyjnego z wykorzystaniem rejestru przesuwającego /157
 Literatura /157
 Zadania /158

5. Cyfrowe układy scalone

strona 160

- 5.1. Klasyfikacja /160
 5.2. Rys historyczny /162
 5.3. Właściwości cyfrowych układów scalonych /164
 5.3.1. Szybkość działania /165
 5.3.2. Moc strat /168
 5.3.3. Odporność na zakłócenia /169
 5.3.4. Zgodność łączeniowa i obciążalność /171
 5.4. Obudowy /172
 5.5. Niezawodność /176
 Literatura /182

6. Cyfrowe układy scalone – struktury podstawowe

strona 183

- 6.1. Elementy układów scalonych /183
 6.2. Najprostsze bramki /190
 6.3. Układy TTL /191

6.3.1.	Seria podstawowa TTL	/193
6.3.2.	Ulepszone serie układów TTL	/196
6.3.3.	Układy z wejściem Schmitta	/198
6.3.4.	Połączenia szynowe i magistrale	/200
6.4.	Układy ECL	/203
6.4.1.	Bramki ECL	/205
6.4.2.	Odbiorniki do linii transmisyjnych	/209
6.5.	Układy CMOS	/211
6.5.1.	Podstawowe układy CMOS	/214
6.5.1.1.	Inwerter	/214
6.5.1.2.	Bramki	/217
6.5.1.3.	Szybkość działania	/222
6.5.1.4.	Moc strat	/222
6.5.1.5.	Odporność na zakłócenia	/224
6.5.1.6.	Zgodność łączeniowa i obciążalność	/225
6.5.2.	Przełączniki CMOS	/229
6.5.3.	Wyjścia trójstanowe	/235
6.6.	Metastabilność przerzutników	/236
	Literatura	/244

7. Bloki cyfrowe

strona 246

7.1.	Konwertery kodów	/247
7.1.1.	Dekodery	/247
7.1.2.	Kodery	/250
7.2.	Multipleksery i demultipleksery	/251
7.3.	Testery parzystości i nieparzystości	/255
7.4.	Bloki arytmetyczne	/256
7.4.1.	Komparatory	/256
7.4.2.	Sumatory	/258
7.4.3.	Bloki arytmetyczno-logiczne	/266
7.4.4.	Bloki mnożące	/267
7.5.	Rejestry	/268
7.6.	Liczniki	/272
7.7.	Bloki pamięciowe	/289
7.7.1.	Pamięci o swobodnym dostępie (RAM)	/291
7.7.1.1.	Pamięci statyczne (SRAM)	/294
7.7.1.2.	Pamięci dynamiczne (DRAM)	/300
7.7.2.	Pamięci stałe	/303
7.7.2.1.	Pamięci ROM	/304
7.7.2.2.	Pamięci PROM	/307
7.7.2.3.	Pamięci EPROM	/308
7.7.2.4.	Pamięci EEPROM	/312
7.7.2.5.	Pamięci <i>Flash</i>	/314
7.7.2.6.	Inne rodzaje pamięci	/317
	Literatura	/322
	Zadania	/323

8. Programowalne i specjalizowane układy cyfrowe

strona 325

- 8.1. Układy programowalne /325
 - 8.1.1. Proste układy programowalne (SPLD) /326
 - 8.1.1.1. Układy FPLA /327
 - 8.1.1.2. Programowalne pamięci stałe /329
 - 8.1.1.3. Układy GAL /329
 - 8.1.2. Złożone układy programowalne (CPLD) /336
 - 8.1.3. Układy FPGA /343
 - 8.1.4. Układ FPGA Spartan-3A /349
- 8.2. Układy specjalizowane (ASIC) /357
 - 8.2.1. Matryce bramkowe (GA) /358
 - 8.2.2. Matryce komórkowe (SC) i wbudowane (EA) /359
 - 8.2.3. Układy indywidualne (FC) i komórkowe (CB) /360
- Literatura /361

9. Urządzenia cyfrowe do sekwencyjnego przetwarzania danych

strona 362

- 9.1. Bloki operacyjne /363
- 9.2. Bloki sterujące /368
- 9.3. Komputery /371
 - 9.3.1. Podstawy budowy i działania /371
 - 9.3.2. Architektura komputerów /382
 - 9.3.3. Programowanie komputerów /385
- Literatura /388

10. Język VHDL

strona 389

- 10.1. Projektowanie z użyciem języka VHDL /389
- 10.2. Opis języka VHDL /392
 - 10.2.1. Wprowadzenie do języka VHDL /393
 - 10.2.2. Struktura języka VHDL /402
 - 10.2.2.1. Obiekty /402
 - 10.2.2.2. Typy /404
 - 10.2.2.3. Atrybuty /410
 - 10.2.2.4. Pakiety i biblioteki /411
 - 10.2.2.5. Instrukcje współbieżne /413
 - 10.2.2.6. Instrukcje sekwencyjne /419
 - 10.2.2.7. Funkcje i procedury /424
 - 10.2.3. Opis złożonych układów cyfrowych /430
 - 10.2.3.1. Układy kombinacyjne /430
 - 10.2.3.2. Układy sekwencyjne /433
 - 10.2.4. Weryfikacja projektów /448
- 10.3. Optymalizacja projektów /451
 - Literatura /452
 - Zadania /452

11. Połączenia cyfrowych układów scalonych

strona 455

- 11.1. Linie transmisyjne /456
- 11.2. Odbicia i przesłuch /459
- 11.3. Połączenia w układach ECL /462
- 11.4. Połączenia w układach TTL i CMOS /469
- 11.5. Zakłócenia /471
- Literatura /473

Skorowidz /474